

Corso di Laurea in Informatica - A.A. 2001 - 2002

Programma preventivo del corso di: **ARCHITETTURA DEGLI ELABORATORI I** **II unità didattica - modulo B**

Proff. Giulio Spadaccini, Francesco Cevenini, Sergio Cavaliere

1. Costituenti dei sistemi. (Appunti delle lezioni).

Compatibilità tra stati di un automa non completamente specificato, automa coprente, riduzione di un automa a funzionamento non completamente specificato.

Operazioni semplici (microoperazioni): definizione. Esempi. Schemi di realizzazione. Linguaggio RTL: elementi essenziali. Esempi di reti che implementano microoperazioni aritmetiche, logiche e di scorrimento. ALU.

Generalità sui sistemi di elaborazione, Parte operativa e parte di controllo. Dati e risultati. Istruzioni, comandi e condizioni.

2. Sistemi di elaborazione – trasparenze delle lezioni, [Lu]

Semplici sistemi di elaborazione, senza istruzioni e condizioni, con istruzioni ma senza condizioni e con istruzioni e condizioni. Per gli esempi proposti, assegnata una parte operativa si progetta la rete sequenziale sincrona di controllo.

Introduzione alla tecnica di progettazione di parti di controllo microprogrammate per semplici sistemi di elaborazione. Esempi.

Considerazioni sulle memorie a sola lettura.

3. L'architettura di un computer minimale: La “macchina di Mano”. trasparenze delle lezioni, [Ma]

Compiti del processore, linguaggio macchina, formato d'istruzione, indirizzamento diretto ed indiretto, registri della CPU, “Modello del programmatore”. Caratteristiche dei registri, bus di collegamento, Repertorio di istruzioni, completezza del set di istruzioni, temporizzazione e controllo, cicli di istruzione, configurazione di ingresso e di uscita, istruzioni di ingresso/uscita, interruzione di programma. Descrizione globale della macchina. Logica di controllo.

4. Le “memorie cache”, - trasparenze delle lezioni, [Ha]

Principio della “località dei riferimenti”. Funzione di posizionamento: indirizzamento diretto, associativo, set-associativo. Blocco, etichetta, insieme. Read miss o read hit. Algoritmi di aggiornamento, write-through e write-back, bit di modifica. Bit di validità, read miss, load trough, algoritmi di sostituzione, LRU e casuali.

Memorie a moduli ed a moduli interallacciati

Frequenza di successo e penalità di fallimento.

Cache primaria e cache secondaria, tempo medio di accesso in un sistema di cache a due livelli

5. Organizzazione dei dischi magnetici. - trasparenze delle lezioni.

Principio della memorizzazione magnetica, superfici magnetiche, Dischi rigidi fissi. Teste di scrittura/lettura, fisse e mobili, tracce, settori, “cilindro”. Tracce di temporizzazione. Tempo di posizionamento e latenza rotazionale. Flusso dati. Formato d'indirizzo su disco. Trasferimento in DMA sul bus dei dati tra disco e memoria e viceversa.

6. Memorie virtuali - trasparenze delle lezioni, [Ha]

Generalità sul meccanismo. Traduzione dell'indirizzo virtuale in indirizzo fisico, Memory Management Unit, (MMU). Tabella dei numeri di pagina. Registro base della tabella dei numeri delle pagine. Il Translation Lookaside Buffer, TLB. Errore di pagina e relativa penalità.

7. Strutture e protocolli dei bus. – Appunti delle lezioni.

Introduzione al concetto di bus. Linee indirizzi, linee dati e linee di controllo e temporizzazione; protocollo del bus, transazioni. Bus paralleli e bus seriali, Bus sincroni ed asincroni. Master e slave su un bus. Bus multi-master.

Esempio di un bus di un microprocessore semplice. Interruzione di programma, struttura daisy-chain, interrupt vettorizzato, tecnica del polling, driver software dei periferici. Il bus asincrono del processore Motorola 68.000, diagramma delle operazioni e diagramma temporale.

8. Struttura “pipeline”.- trasparenze delle lezioni, [Ha]

Il concetto di catena di montaggio, tempo di esecuzione e frequenza di completamento delle istruzioni (throughput). Stadio della pipeline e buffer interstadio. Stallo di una pipeline, bolle nella pipeline, affioramento delle bolle. Cause di stallo, insuccesso nell'accesso alla cache, interdipendenza di istruzioni, istruzioni di salto incondizionato e condizionato, possibili strategie. Coda delle istruzioni, salto ritardato, anticipo degli operandi.

9. Architetture RISC. - trasparenze delle lezioni, [Ha]

Breve storia degli sviluppi che hanno portato alle CPU RISC. Cenni sulla struttura del PowerPC e sui tipi di istruzioni. Accenno agli indirizzamenti indiciali

10. Multiprocessori, la legge di Amdahl. - trasparenze delle lezioni, [Ha]

Elaborazione parallela, considerazioni generali. Casi in cui l'accelerazione dell'elaborazione è proporzionale al numero di processori. Distribuzione uniforme del carico. Parte parallelizzabile e parte sequenziale di un programma. Legge di Amdahl sulle prestazioni di un sistema migliorato. Applicazione ai multiprocessori.

Testo consigliato:

[Ha] V.C. Hamacher et Al Introduzione all'architettura dei calcolatori, McGraw-Hill Libri Italia srl, Milano, 1997.

Testi di riferimento:

[Lu] F.Luccio-L.Pagli, Reti logiche e calcolatori, Bollati Boringhieri, Torino, 1991;

[Bo] D.P. Bovet, Introduzione all'architettura degli elaboratori, Zanichelli, Bologna, 1996.

[Ma] M. Morris Mano, Computer System Architecture, Prentice Hall. Englewood Cliffs, NJ, 1993.

Tutti i testi sono disponibili presso la Biblioteca Centrale della Facoltà di Scienze.